

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-256470

(43)公開日 平成10年(1998)9月25日

(51) Int.Cl.⁶
H 0 1 L 25/065
25/07
25/18

識別記号

F I
H O I L 25/08

B

審査請求 未請求 請求項の数4 OL (全 6 頁)

(21)出願番号 特願平9-55176

(22)出願日 平成9年(1997)3月10日

(71) 出願人 000001889
三洋電機株式会社
大阪府守口市京阪本通2丁目5番5号

(72) 発明者 坪野谷 誠
大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

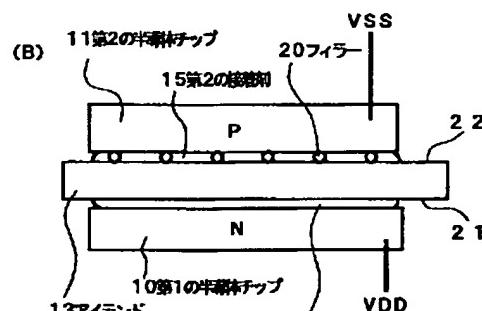
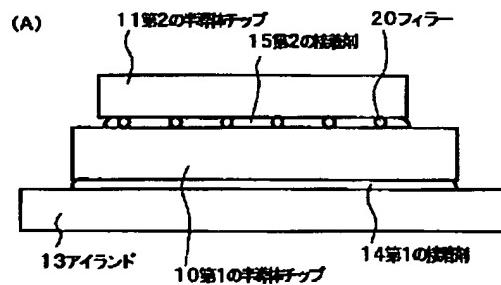
(74) 代理人 弁理士 安富 耕二 (外1名)

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 複数の半導体チップを積層固定する絶縁性の接着剤に粒径が一定なフィラーを混入することによりチップ間の接触事故を防止する。

【解決手段】 アイランド 12 上に第1の半導体チップ 10 を固着し、第1の半導体チップの上に第2の半導体チップ 11 を固着する。各半導体チップ 10、11 のボンディングパッド 12 とリード端子 17 とをワイヤボンドし、各半導体チップ 10、11 を含む主要部を樹脂 17 でモールドする。第2の半導体チップ 11 を固着する第2の接着剤 15 に粒径が 20~40 μ の絶縁性のフィラー 20 を混入する。



1

【特許請求の範囲】

【請求項1】 アイランドの上に第1の半導体チップを固着し、前記第1の半導体チップの上に第2の半導体チップを固着し、前記第1と第2の半導体チップのポンディングパッドと外部接続リードとを接続する手段と、前記第1と第2の半導体チップの周囲を封止する樹脂とを具備する半導体装置において、前記第1の半導体チップの表面に前記第2の半導体チップを固着する接着剤に粒径が均一な絶縁性のフィラーを混入したことを特徴とする半導体装置。

【請求項2】 第1主面と第2主面とを具備するアイランドと、

前記第1主面に固着された第1の半導体チップと、前記第2主面に固着された第2の半導体チップと前記第1と第2の半導体チップのポンディングパッド接続端子と外部接続リードとを接続する手段と、前記第1と第2の半導体チップの周囲を封止する樹脂とを具備する半導体装置において、前記第1主面に前記第1の半導体チップを固着する接着剤と、前記第2主面に前記第2の半導体チップを固着する接着剤との少なくともどちらか一方に、粒径が均一な絶縁性のフィラーを混入したことを特徴とする半導体装置。

【請求項3】 前記第1の半導体チップがP型基板を具備し前記第2の半導体チップがN型基板を具備することを特徴とする請求項2記載の半導体装置。

【請求項4】 前記P型基板と前記N型基板に各々異なる基板電位が与えられていることを特徴とする請求項3記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、複数の半導体チップを重ね合わせることで実装密度を向上した半導体装置に関する。

【0002】

【従来の技術】半導体装置の封止技術として最も普及しているのが、半導体チップの周囲を熱硬化性のエポキシ樹脂で封止するトランスファーモールド技術である。半導体チップの支持素材としてリードフレームを用いており、リードフレームのアイランドに半導体チップをダイボンドし、半導体チップのポンディングパッドとリードをワイヤでワイヤボンドし、所望の外形形状を具备する金型内にリードフレームをセットし、金型内にエポキシ樹脂を注入、これを硬化させることにより製造される。

【0003】一方、各種電子機器に対する小型、軽量化の波はとどまるところを知らず、これらに組み込まれる半導体装置にも、一層の大容量、高機能、高集積化が望

2

していた（例えば、特開昭55-1111517号）、1つのパッケージ内に複数の半導体チップを封止する技術が注目され、実現化する動きが出てきた。つまり図6(A)に示すように、アイランド3上に第1の半導体チップ1aを固着し、第1の半導体チップ1aの上に第2の半導体チップ1bを固着し、対応するポンディングパッドとリード4とをポンディングワイヤ5a、5bで接続し、樹脂2で封止したものである。

【0004】また、図6(B)に示すように、アイランド3の表面側に第1の半導体チップ1aを、アイランドの裏面側に第2の半導体チップ1bを固着し、全体を封止するような考え方もあった。

【0005】

【発明が解決しようとする課題】しかしながら、図6(A)の様にチップを積層する場合、ダイボンド時の不具合により、図7(A)に示すように第2の半導体チップ1bが傾斜して固着されるような場合がある。このように傾斜すると、接着剤6が無くなつて図面符号7の箇所で第2の半導体チップ1bの基板下部と第1の半導体チップ1aの表面とが接触し、第2の半導体チップ1bの基板に印加した電位と第1の半導体チップ1a表面に形成した回路素子、電極配線等とが短絡する危惧がある欠点があった。

【0006】また、図6(B)の様にチップを表裏面に接着する場合、第1と第2の半導体チップ1a、1bとして同種のチップ（例えばDRAMとDRAM等の組み合わせ）を用いた場合は基板電位も同じになるのでアイランド3を介して両者の基板を電気的に短絡しても良いが、異種のチップ、たとえば一方がP型基板を使用し他方がN型基板を用いたチップを組み合わせる場合は、基板電位が異なるので、どちらか一方のチップを絶縁性の接着剤6で固着しなければならない。ところが上述のようにダイボンド時の不具合によりチップが図7(B)のように傾斜すると、図示符号8の箇所で半導体チップ1aの基板電位とアイランド3の電位とが短絡する危惧があった。これらの短絡は、即組み立て歩留まりの悪化につながる。

【0007】

【課題を解決するための手段】本発明は上述した従来の課題に鑑み成されたもので、第1の半導体チップと第2の半導体チップとを、粒径が10～50μのフィラーを混入せしめた絶縁性の接着剤によって固着し、両者の間隔を前記フィラーによって一定厚み以下には減少しないようにしたことを特徴とする。

【0008】また、チップを表裏面に固着する形態では、どちらか一方の半導体チップと同じく粒径が10～50μのフィラーを混入せしめた絶縁性の接着剤によって固着し、電気的な絶縁を保つべきアイランドとの間隔を前記フィラーによって一定厚み以下には減少しないよ

40

【0009】

【発明の実施の形態】以下に本発明の一実施の形態を図面を参照しながら詳細に説明する。先ず、図2 (A) (B) は本発明の半導体装置の第1の実施の形態を示す断面図、図3は本発明の半導体装置の第1の実施の形態を示す平面図である。尚、図2 (A) は図3のAA線断面図、同じく図2 (B) は図3のBB線断面図である。

【0010】図中、10、11は各々第1と第2の半導体チップを示している。第1と第2の半導体チップ10、11のシリコン表面には、前工程において各種の能動、受動回路素子が形成されている。第1と第2の半導体チップ10、11のチップの周辺部分には各々外部接続用のボンディングパッド12が形成されている。半導体チップ10、11の表面にはシリコン窒化膜、シリコン酸化膜、ポリイミド系絶縁膜などのパッシバーション皮膜が形成され、ボンディングパッド12の上部を電気接続のために開口している。

【0011】第1の半導体チップ10はリードフレームのアイランド13上にAgペーストなどのエポキシ系導電接着剤14によりダイボンドされ、更に第2の半導体チップ11は第1の半導体チップ10の前記パッシバーション皮膜上に絶縁性のエポキシ系接着剤15により固着されている。各ボンディングパッド12と外部導出用のリード端子17の先端部17aとはボンディングワイヤ16によりワイヤボンドされ、両者が電気的に接続されている。

【0012】第1と第2の半導体チップ10、11、リード端子の先端部17a、およびボンディングワイヤ16を含む主要部は、周囲をエポキシ系の熱硬化樹脂18でモールドされ、パッケージ化される。リード端子17はパッケージ側壁の、樹脂18の厚みの約半分の位置から外部に導出される。そして、樹脂18の外部に導出されたリード端子17は一端下方に曲げられ、再度曲げられてZ字型にフォーミングされている。このフォーミング形状は、リード端子17の裏面側固着部分17bをプリント基板に形成した導電パターンに対向接続する、表面実装用途の形状である。

【0013】アイランド13、リード端子17等の各パーツは、板厚が150~200μの銅系または鉄系の板状素材をエッチング加工又はバンチング加工することにより形成したリードフレームの形態で提供され、モールド工程後に切断されるまでは各パーツはリードフレームの枠体に保持されている。保持された状態でリード端子の先端部17aと前記枠体とは高さが一致しており、アイランド13だけが段付け加工されて高さが異なる。その為完成後の装置ではアイランド13を保持するタイバー19は樹脂18内部で上方に折り曲げられ、リード14の高さと一致する位置で再びほぼ水平に延在し、そして樹脂18表面に切断面が露出して終端する。

前にバックグラインド工程により裏面を研磨して250~300μの厚みにしている。アイランド13とリード端子17の板厚(図2 (A) の図示t3)は約130μであり、この値は各パーツの機械的強度を保つほぼ限界の値である。アイランド13は、第1の半導体チップ10よりは小さいサイズで形成されると共に、その高さを限界まで下げ、アイランド13の裏面13aを樹脂18の表面に露出させるようにモールドする。全体の厚みが1mm程度しかないパッケージでもアイランド13の位置を下げることで、アイランド13の板厚と、第1と第2の半導体チップ10、11の厚み、および接着剤14、15の厚み(各々30~40μは必要である)を差し引いて、なお第2の半導体チップ11の上方に240~300μの樹脂18の厚みを残すことが可能になった。

【0015】図1 (A) を参照して、第1の半導体チップ10は、先ずアイランド13の表面に絶縁性あるいは導電性のペースト状の第1の接着剤14を適宜量供給し、続いて真空コレットに吸着された第1の半導体チップ10をアイランド13上に移動して位置決めをし、第1の接着剤14が均等に広がるように一定圧力で押圧せしめ、そして200度程度のベーキング熱処理により第1の接着剤14を硬化させることにより固定する。同様に第2の半導体チップ11は、先ず第1の半導体チップ10のパッシバーション皮膜上に、絶縁性のペースト状の第2の接着剤15を適宜量供給し、続いて真空コレットに吸着された第2の半導体チップ11を第1の半導体チップ10上に移動して位置決めをし、第2の接着剤15が均等に広がるように一定圧力で押圧せしめ、そして200度程度のベーキング熱処理により第2の接着剤15を硬化させることにより固定する。

【0016】第2の半導体チップ11を固定する際、第2の接着剤15に粒径が20~40μの球状のシリコン粒(フィラー)を混入しておく。フィラーとしては絶縁性の素材で且つ前記吸着コレットが押す圧力に耐え得る硬度を持つ物であればよく、他にはアルミナ粒、SiN粒等があげられる。かかる構成であれば、たとえばコレットに吸着された第2の半導体チップ11が斜めになっていたとしても、第2の接着剤15の膜圧はフィラーの粒径よりは小さくなることがない。よって第2の半導体チップ11の基板下部が第1の第1の半導体チップ10の表面に接触する事故を完全に防止することができる。

【0017】以下に本発明の第2の実施の形態を説明する。先ず、図4 (A) (B) は本発明の半導体装置の第2の実施の形態を示す断面図、図5は本発明の半導体装置の第2の実施の形態を示す平面図である。尚、図4 (A) は図5のAA線断面図、同じく図4 (B) は図5のBB線断面図である。図中、先の実施の形態と同じ箇所には同じ符号を伏してある。

5

リコン表面には、回路素子と外部接続用のボンディングパッド12が形成されている。半導体チップ10、11の表面にはシリコン窒化膜、シリコン酸化膜、ポリイミド系絶縁膜などのバッシベーション皮膜が形成され、ボンディングパッド12の上部を電気接続のために開口している。

【0019】アイランド13の第1主面21つまり裏面側には、第1の半導体チップ10がAgペーストなどのエポキシ系導電接着剤14によりダイボンドされ、アイランド13の第2主面22つまり表面側には、第2の半導体チップ10が絶縁性のエポキシ系接着剤15により固定されている。第1の半導体チップ10のボンディングパッド12と外部導出用のリード端子の先端部17aの裏面側とがボンディングワイヤ16によりにワイヤボンドされ、同じく第2の半導体チップ11のボンディングパッド12とリード端子の先端部17aの表面側とがボンディングワイヤによりワイヤボンドされている。第1と第2の半導体チップ10、11、リード端子の先端部17a、およびボンディングワイヤ16を含む主要部は、周囲をエポキシ系の熱硬化樹脂18でモールドされ、パッケージ化される。リード端子17はパッケージ側壁の、樹脂18の厚みの約半分の位置から外部に導出され、表面実装用にリードフォーミングされている。アイランド13はリード端子の先端部17aに対して段付けがされておらず、両者は水平面を構成している。

【0020】図1(B)を参照して、第1の半導体チップ10としてN型の半導体基板を利用したチップが用いられ、基板電位としてVDD電位が印加されている。第2の半導体チップとしてはP型の半導体基板を利用したチップが用いられ、基板電位としてVSS電位が印加されている。第1の半導体チップ10は、先ずアイランド13の第1主面21の表面に絶縁性あるいは導電性のペースト状の第1の接着剤14を適宜量供給し、続いて真空コレットに吸着された第1の半導体チップ10をアイランド13上に移動して位置決めをし、第1の接着剤14が均等に広がるように一定圧力で押圧せしめ、そして200度程度のベーキング熱処理により第1の接着剤14を硬化することにより固定する。同様に第2の半導体チップ11は、先ずアイランド13を反転して第2主面22を上に向け、その表面に絶縁性のペースト状の第2の接着剤15を適宜量供給し、続いて真空コレットに吸着された第2の半導体チップ11をアイランド13上に移動して位置決めをし、第2の接着剤15が均等に広がるように一定圧力で押圧せしめ、そして200度程度のベーキング熱処理により第2の接着剤15を硬化させることにより固定する。

【0021】第2の半導体チップ11を固定する際、第2の接着剤15に粒径が20~40μの球状のシリコン粒(フィラー)20を混入しておく。かかる構成であれば、たとえばコレットに吸着された第2の半導体チップ11が斜めになっていたとしても、第2の接着剤15の膜厚はフィラー20の粒径よりは小さくなることがない。よって第2の半導体チップ11の基板下部がアイランド13の表面に接触する事故を完全に防止できる。このことは、第2の半導体チップ11の基板電位とアイランド13の電位とを完全に分離できることを意味し、第1の半導体チップ10の基板電位とを同電位にするような構成であっても、基板電位VSSと基板電位VDDとの短絡事故を防止できるものである。尚、第1と第2の接着剤14、15のどちらか一方を絶縁性とすれば基板電位の相互分離が可能であり、絶縁性の接着剤間にフィラー20を混入すればよい。

【0022】

【発明の効果】以上に説明した通り、本発明によれば、絶縁性の接着剤にフィラー20を混入することによって第1と第2の半導体チップ10、11の接触事故を防止できるので、1つのパッケージ内に複数の半導体チップ10、11を積層した半導体装置を歩留まり良く製造することができる利点を有する。

【0023】また、基板電位の異なるチップの組み合わせが可能となるので、製品展開が容易である利点を有する。さらに、フィラー20によって基板電位の短絡を意識せずに接着剤14、15の膜厚を限界まで薄くできるので、パッケージの薄型化に寄与できる利点をも有する。薄型化により樹脂18の外形寸法を従来のチップ1を収納した製品群と同一寸法にすることができる。これにより、モールド金型や試験測定装置などの製造装置を共用化することができ、製品のコストダウンができる利点を有する。

【図面の簡単な説明】

【図1】本発明を説明するための断面図である。

【図2】本発明の第1の実施の形態を説明するための断面図である。

【図3】本発明の第1の実施の形態を説明するための平面図である。

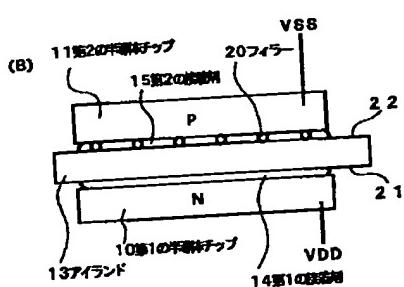
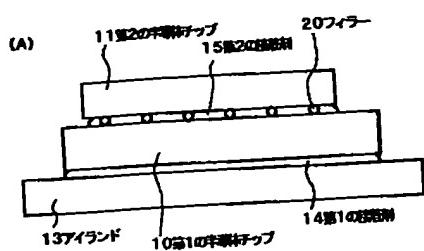
【図4】本発明の第2の実施の形態を説明するための断面図である。

【図5】本発明の第2の実施の形態を説明するための平面図である。

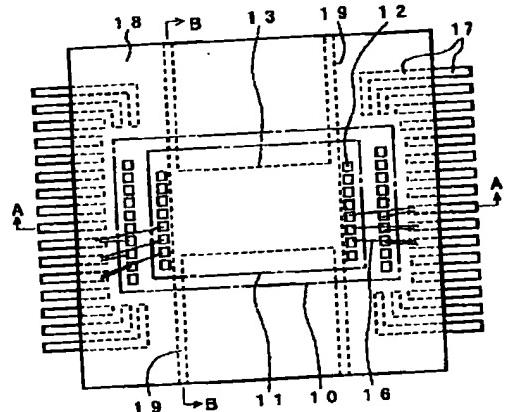
【図6】従来例を説明するための断面図である。

【図7】従来例を説明するための断面図である。

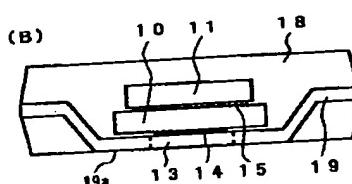
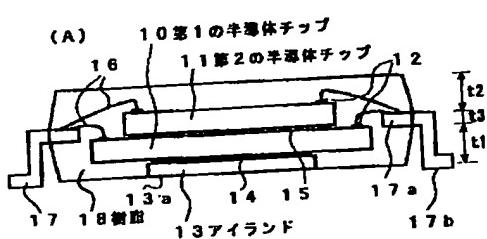
【図1】



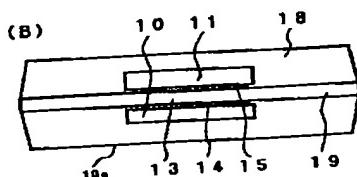
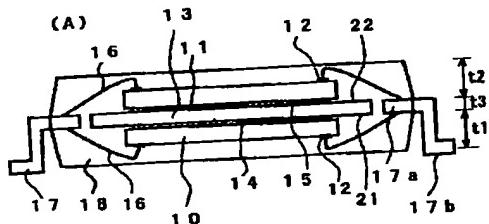
【図3】



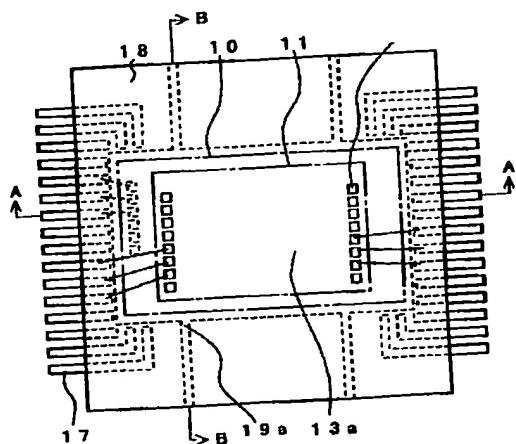
【図2】



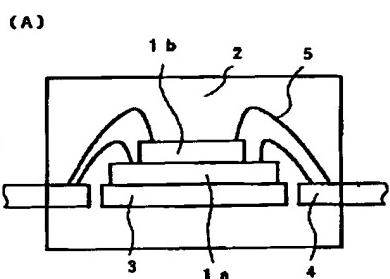
【図4】



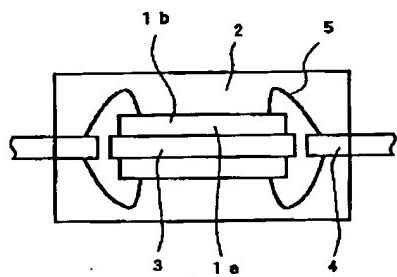
【図5】



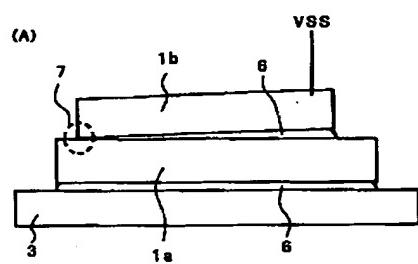
【図6】



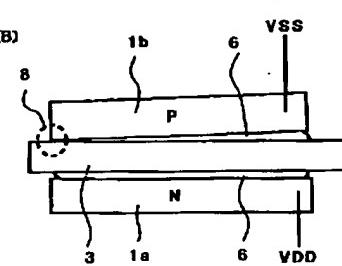
(B)



【図7】



(B)



* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention relates to the semiconductor device which improved packaging density by piling up two or more semiconductor chips.

[0002]

[Description of the Prior Art] the transfer mold technology which closes the circumference of a semiconductor chip by the thermosetting epoxy resin has spread most as sealing technology of a semiconductor device the metal mold which uses the leadframe as a support material of a semiconductor chip, carries out die bond of the semiconductor chip to the island of a leadframe, carries out wire bond of the lead to the bonding pad of a semiconductor chip with a wire, and possesses a desired appearance configuration -- inside -- a leadframe -- setting -- metal mold -- an epoxy resin is poured in inside and it is manufactured by stiffening this

[0003] On the other hand, the semiconductor device built into not knowing and these in the place in which small [to various electronic equipment] and the wave of lightweight-izing remain will also be expected much more large capacity, high efficiency, and high integration. Then, in one package which existed as the way of thinking (for example, JP,55-1111517,A), the technology which closes two or more semiconductor chips attracted attention, and the realization-ized movement came from before. That is, as shown in drawing 6 (A), 1st semiconductor chip 1a is fixed on an island 3, the bonding pad and lead 4 which fix 2nd semiconductor chip 1b and correspond on 1st semiconductor chip 1a are connected by bonding wires 5a and 5b, and it closes by the resin 2.

[0004] Moreover, as shown in drawing 6 (B), 1st semiconductor chip 1a was fixed to the front-face side of an island 3, 2nd semiconductor chip 1b was fixed to the rear-face side of an island, and there was also a view which closes the whole.

[0005]

[Problem(s) to be Solved by the Invention] As [fix / incline and / as shown in drawing 7 (A) / however, / when carrying out the laminating of the chip like drawing 6 (A) / 2nd semiconductor chip 1b / by the fault at the time of die bond,] Thus, when it inclined, adhesives 6 were lost, the substrate lower part of 2nd semiconductor chip 1b and the front face of 1st semiconductor chip 1a contacted in the part of the drawing sign 7, and there was a fault with a fear of the potential impressed to the substrate of 2nd semiconductor chip 1b, the circuit element formed in the 1st semiconductor chip 1a front face, electrode wiring, etc. connecting too hastily.

[0006] When pasting up a chip on a front rear face like drawing 6 (B), moreover, the 1st and the 2nd semiconductor chip 1a, Although both substrate may be electrically short-circuited through an island 3 since substrate potential also becomes the same when a chip (for example, DRAM, DRAM, etc. should put together) of the same kind as 1b is used Since substrate potentials differ when a chip of a different kind, for example, one side, combines the chip using the N type substrate of another side using a P type substrate, you have to fix one of chips with the insulating adhesives 6. However, as mentioned above, when the chip inclined like drawing 7 (B) by the fault at the time of die bond, there was a fear of the substrate potential of semiconductor chip 1a and the potential of an island 3 connecting too hastily in the part of the illustration sign 8. These short circuits lead to aggravation of the ***** yield.

[0007]

[Means for Solving the Problem] this invention was accomplished in view of the conventional technical problem mentioned above, and fixes with the insulating adhesives in which the filler whose particle size is 10-50micro about the 1st semiconductor chip and 2nd semiconductor chip was made to mix, and it is characterized by making both interval not decrease below in fixed thickness by the aforementioned filler.

[0008] Moreover, with the gestalt which fixes a chip at the front rear face, it fixes with the insulating adhesives in which the filler whose particle size is similarly 10-50micro about one of semiconductor chips was made to mix, and is characterized by making an interval with the island which should maintain an electric insulation not decrease below in fixed thickness by the aforementioned filler.

[0009]

[Embodiments of the Invention] The gestalt of the 1 operation of this invention to the following is explained in detail, referring to a drawing. First, the cross section in which drawing 2 (A) and (B) show the gestalt of operation of the 1st of the semiconductor device of this invention, and drawing 3 are the plans showing the gestalt of operation of the 1st of the

semiconductor device of this invention. in addition, drawing 2 (A) -- AA line cross section of drawing 3 -- similarly drawing 2 (B) is BB line cross section of drawing 3

[0010] 10 and 11 show the 1st and the 2nd semiconductor chip respectively among drawing. In the last process, various kinds of activity and the passive circuit element are formed in the silicon front face of the 1st and the 2nd semiconductor chip 10 and 11. the bonding pad 12 for each external connection is formed in a part for the periphery of the chip of the 1st and the 2nd semiconductor chip 10 and 11 Passivation coats, such as a silicon nitride, a silicon oxide, and a polyimide system insulator layer, are formed in the front face of semiconductor chips 10 and 11, and opening of the upper part of a bonding pad 12 is carried out for electrical connection.

[0011] Die bond of the 1st semiconductor chip 10 was carried out by the epoxy system electric conduction adhesives 14, such as Ag paste, on the island 13 of a leadframe, and the 2nd semiconductor chip 11 has fixed it with the epoxy insulating system adhesives 15 on the aforementioned passivation coat of the 1st semiconductor chip 10 further. each bonding pad 12 and point 17a of the lead terminal 17 for external derivation are boiled by the bonding wire 16, wire bond is carried out, and both are connected electrically

[0012] By the heat-curing resin 18 of an epoxy system, the mould of point 17a of the 1st, the 2nd semiconductor chip 10 and 11, and a lead terminal and the principal part containing a bonding wire 16 is carried out, and the circumference is package-sized. A lead terminal 17 is drawn by the position shell exterior of the abbreviation half of the thickness of a resin 18 of a package side attachment wall. And the lead terminal 17 drawn by the exterior of a resin 18 is bent by the end lower part, is bent again, and foaming is carried out to the Z character type. This foaming configuration is a configuration for the surface mount use which carries out opposite adhesion of the rear-face side fixing partial 17b of a lead terminal 17 at the electric conduction pattern formed in the printed circuit board.

[0013] Each parts of an island 13 and lead-terminal 17 grade are offered with the form of the leadframe formed by etching-processing or punching processing the tabular material of the copper system whose board thickness is 150-200micro, or an iron system, and each parts are held at the frame of a leadframe until it is cut after a mould process. Height of the aforementioned frame [point 17a of a lead terminal and] corresponds in the state where it was held, joggling processing only of the island 13 is carried out, and height differs. For the reason, with the equipment after completion, the tie rod 19 holding an island 13 is bent up in the resin 18 interior, and extends again almost horizontally in the position which is in agreement with the height of lead 14, and a cutting plane exposes and carries out termination to resin 18 front face.

[0014] Like the erector, each semiconductor chips 10 and 11 grind a rear face by the back grinding process immediately before, and make it thickness (250-300micro). the board thickness (illustration t3 of drawing 2 (A)) of an island 13 and a lead terminal 17 is about 130micro, and, as for this value, maintains the mechanical strength of each parts -- it is the value of a limitation mostly It lowers the height to a limitation, and it carries out a mould so that rear-face 13a of an island 13 may be exposed on the front face of a resin 18 while an island 13 is formed in size smaller than the 1st semiconductor chip 10. It enabled it for the package which has the whole thickness only about 1mm to also deduct the board thickness of an island 13, the thickness of the 1st and the 2nd semiconductor chip 10 and 11, and the thickness (for 30-40micro to be respectively required) of adhesives 14 and 15, and to, leave the thickness of a resin (240-300micro) 18 above the 2nd semiconductor chip 11 in addition by lowering the position of an island 13.

[0015] Drawing 1 (A) is referred to. the 1st semiconductor chip 10 Amount supply of the 1st adhesives 14 of the shape of an insulating or conductive paste is first carried out suitably on the front face of an island 13. Then, it positions by moving the 1st semiconductor chip 10 by which the vacuum collet was adsorbed onto an island 13. You make it press by the constant pressure so that the 1st adhesives 14 may spread equally, and it fixes by stiffening the 1st adhesives 14 with baking heat treatment of about 200 degrees. Similarly the 2nd semiconductor chip 11 first on the passivation coat of the 1st semiconductor chip 10 It positions by moving the 2nd semiconductor chip 11 by which amount supply was carried out suitably, and the 2nd adhesives 15 of the shape of an insulating paste were continuously adsorbed by the vacuum collet onto the 1st semiconductor chip 10. You make it press by the constant pressure so that the 2nd adhesives 15 may spread equally, and it fixes by stiffening the 2nd adhesives 15 with baking heat treatment of about 200 degrees.

[0016] In case the 2nd semiconductor chip 11 is fixed, particle size mixes in the 2nd adhesives 15 the spherical silicon grain (filler) which are 20-40micro. An alumina grain, a SiN grain, etc. are raised to others that what is necessary is just an object with the degree of hardness which can bear the pressure which is an insulating material as a filler and the aforementioned adsorption collet pushes. If it is this composition, though the 2nd semiconductor chip 11 by which the collet was adsorbed, for example is slanting, the film pressure of the 2nd adhesives 15 does not have a bird clapper smaller than the particle size of a filler. Therefore, the substrate lower part of the 2nd semiconductor chip 11 can prevent completely the accident in contact with the front face of the 1st semiconductor chip [1st] 10.

[0017] The form of operation of the 2nd of this invention is explained below. First, the cross section in which drawing 4 (A) and (B) show the form of operation of the 2nd of the semiconductor device of this invention, and drawing 5 are the plans showing the form of operation of the 2nd of the semiconductor device of this invention. in addition, drawing 4 (A) -- AA line cross section of drawing 5 -- similarly drawing 4 (B) is BB line cross section of drawing 5 The same sign is lain down on the same part as the form of previous operation among drawing.

[0018] The bonding pad 12 for a circuit element and external connection is formed in the silicon front face of the 1st and the 2nd semiconductor chip 10 and 11. Passivation coats, such as a silicon nitride, a silicon oxide, and a polyimide system insulator layer, are formed in the front face of semiconductor chips 10 and 11, and opening of the upper part of a bonding pad

12 is carried out for electrical connection.

[0019] Die bond of the 1st semiconductor chip 10 was carried out by the epoxy system electric conduction adhesives 14, such as Ag paste, and the 2nd semiconductor chip 10 has fixed with the epoxy insulating system adhesives 15 at the 1st principal plane 21, i.e., rear face, side of an island 13 to the 2nd principal plane 22, i.e., front face, side of an island 13. the rear-face side of point 17a of the bonding pad 12 of the 1st semiconductor chip 10 and the lead terminal for external derivation is alike with a bonding wire 16, wire bond is carried out, and, similarly wire bond of the bonding pad 12 side of the 2nd semiconductor chip 11 and the front-face side of point 17a of a lead terminal is carried out by the bonding wire By the heat-curing resin 18 of an epoxy system, the mould of point 17a of the 1st, the 2nd semiconductor chip 10 and 11, and a lead terminal and the principal part containing a bonding wire 16 is carried out, and the circumference is package-ized. A lead terminal 17 is drawn by the position shell exterior of the abbreviation half of the thickness of a resin 18 of a package side attachment wall, and lead foaming is carried out to surface mounts. As for an island 13, joggling is not carried out to point 17a of a lead terminal, but both constitute the level surface.

[0020] With reference to drawing 1 (B), the chip which used the semiconductor substrate of N type as the 1st semiconductor chip 10 is used, and VDD potential is impressed as substrate potential. The chip which used the semiconductor substrate of P type as the 2nd semiconductor chip is used, and VSS potential is impressed as substrate potential. The 1st semiconductor chip 10 carries out amount supply of the 1st adhesives 14 of the shape of an insulating or conductive paste suitably on the front face of the 1st principal plane 21 of an island 13 first. Then, it positions by moving the 1st semiconductor chip 10 by which the vacuum collet was adsorbed onto an island 13. You make it press by the constant pressure so that the 1st adhesives 14 may spread equally, and it fixes by stiffening the 1st adhesives 14 with baking heat treatment of about 200 degrees. Similarly, the 2nd semiconductor chip 11 reverses an island 13 first, and turns the 2nd principal plane 22 upwards. Amount supply of the 2nd adhesives 15 of the shape of an insulating paste is suitably carried out on the front face. Then, it positions by moving the 2nd semiconductor chip 11 by which the vacuum collet was adsorbed onto an island 13. You make it press by the constant pressure so that the 2nd adhesives 15 may spread equally, and it fixes by stiffening the 2nd adhesives 15 with baking heat treatment of about 200 degrees.

[0021] In case the 2nd semiconductor chip 11 is fixed, particle size mixes in the 2nd adhesives 15 the spherical silicon grain (filler) 20 which are 20-40micro. If it is this composition, though the 2nd semiconductor chip 11 by which the collet was adsorbed, for example is slanting, the film pressure of the 2nd adhesives 15 does not have a bird clapper smaller than the particle size of a filler 20. Therefore, the substrate lower part of the 2nd semiconductor chip 11 can prevent completely the accident in contact with the front face of an island 13. This means that the substrate potential of the 2nd semiconductor chip 11 and the potential of an island 13 are completely separable, and even if it is the composition which makes this potential substrate potential of the 1st semiconductor chip 10, it can prevent the short circuit accident of the substrate potential VSS and the substrate potential VDD. In addition, mutual separation of insulation, then substrate potential is possible in one of the 1st and the 2nd adhesives 14 and 15, and a filler 20 should be mixed in an insulating adhesives side.

[0022]

[Effect of the Invention] Since the minor collision of the 1st and the 2nd semiconductor chip 10 and 11 can be prevented by mixing a filler 20 in insulating adhesives according to this invention as explained above, it has the advantage which can manufacture the semiconductor device which carried out the laminating of two or more semiconductor chips 10 and 11 into one package with the sufficient yield.

[0023] Moreover, since the combination of the chip with which substrate potentials differ becomes possible, product expansion has an easy advantage. Furthermore, since thickness of adhesives 14 and 15 can be made thin to a limitation, without being conscious of the short circuit of substrate potential with a filler 20, it also has the advantage which can contribute to thin shape-ization of a package. It can be made the same size as the product group which contained one conventional chip for the dimension of a resin 18 by thin shape-ization. thereby -- a mould -- manufacturing installations, such as metal mold and an examination measuring device, can be common-use-ized, and it has the advantage which can cut down the cost of a product

[Translation done.]